|  |  |  |
| --- | --- | --- |
| **Fecha de entrega:** 22 de agosto de 2017 | **Título de la tarea:** Cache L1, L2, L3 characteristics. | **Número de la tarea:** 4 |
| **Grupo:** 3CM3 | **Alumno:** Estrada Granados Diego | **Unidad de aprendizaje:** Arquitectura de Computadoras |

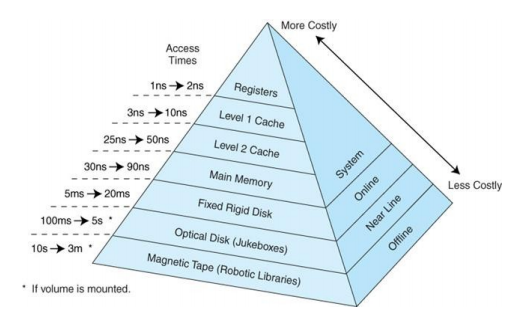
**Cache L1, L2, L3 characteristics.**

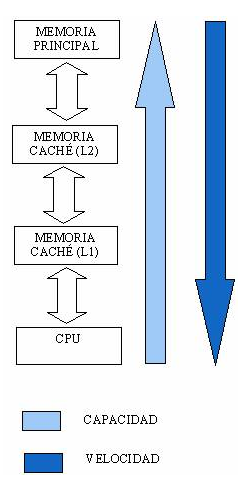
**Desarrollo.**

Para mantener a los microprocesadores funcionando a máxima velocidad se inserta una pequeña cantidad de memoria rápida entre la memoria principal lenta y el microprocesador. El objetivo es albergar las instrucciones que se repiten o los datos que se acceden más frecuentemente. (Hennessy & Patterson, 1993)

La memoria caché se divide en bloques, todos ellos conteniendo el mismo número de bytes. Cada bloque contiene un conjunto de datos ubicados en posiciones de memoria consecutivas. Cada vez que la CPU intenta acceder a una dirección de memoria que no está en ningún bloque de la caché se produce un fallo de caché, y en caso contrario un acierto de caché. La consecuencia del fallo es que se suspende momentáneamente el acceso, se copia el bloque que contiene la dirección desde la memoria principal a la memoria caché y a continuación se reanuda el acceso. (Uiversidad de Oviedo, 2011). Cuanto más grande sea el cache, más tiempo estará el procesador a máxima velocidad, pero mayor será el consumo de potencia y de transistores. (Hennessy & Patterson, 1993)

Los cachés funcionan siempre en el contexto de una jerarquía de memoria, es decir, una organización de los dispositivos de almacenamiento en la que existen velocidades y capacidades distintas. A continuación, se muestra una figura donde se comparan los tiempos de acceso y costos de los diferentes tipos de memoria en un computador. (Universidad de Buenos Aires, 2010)



Organización de la memoria cache.

* Niveles cache.

Inicialmente cuando se introdujeron las cachés, el sistema típico tenía una única caché. Sin embargo, recientemente lo habitual es disponer de dos niveles de caché o incluso tres en computadores de gama alta. Estos niveles se denominan L1, L2, etc., donde el nivel L1 es el más cercano al procesador. El objetivo de la caché L2 es reducir la penalización debida a los fallos de caché del nivel L1. En teoría, cuantos más niveles de caché haya entre el procesador y la memoria principal mejor rendimiento proporciona el sistema de memoria, pero con un coste mayor.

* Cache unificada.

La caché unificada sirve tanto para datos como para código. Tiene la ventaja de que se reparte automáticamente los bloques cacheados entre datos y código. De tal forma que si son necesarios menos bloques de datos y más de código estos se reparten de forma eficiente y transparente.

* Cache divida.

La memoria caché dividida está formada por dos cachés, una para datos y otra para código. Podría suceder que la memoria caché de datos tuviese bloques libres o muy poco usados, mientras que la memoria caché de código estuviese generando fallos de caché. Como se puede ver, en este caso el rendimiento sería menor.

Las primeras cachés que aparecieron solían ser unificadas debido a la observación anterior. Sin embargo, las cachés L1 actuales suelen ser divididas, debido a que las CPUs actuales tienen un elevado grado de paralelismo. La caché dividida permite un mayor grado de paralelismo pues una parte de la CPU puede escribir un dato en el sistema de memoria mientras simultáneamente otra parte puede leer instrucciones del sistema de memoria. (Uiversidad de Oviedo, 2011)

# Trabajos citados

Hennessy, J., & Patterson, D. (1993). *Arquitectura de Computadores – Un enfoque cuantitativo .* Mc Graw Hill.

Uiversidad de Oviedo. (2011). Obtenido de http://www.atc.uniovi.es/inf\_med\_gijon/3ingcomp/practicas/SMC/teor%C3%ADa-conceptos.htm

Universidad de Buenos Aires. (26 de Octubre de 2010). *Facultad de Ciencias Exactas y Naturales.* Obtenido de https://www.dc.uba.ar/materias/oc1/2010/c2/descargas/apunte-memoria-cache.pdf